

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **05282881 A**

(43) Date of publication of application: **29.10.93**

(51) Int. Cl

**G11C 16/06  
H01L 27/115**

(21) Application number: **04077291**

(22) Date of filing: **31.03.92**

(71) Applicant: **TOSHIBA CORP IWATE  
TOSHIBA ELECTRON KK**

(72) Inventor: **KATO TADAHIRO**

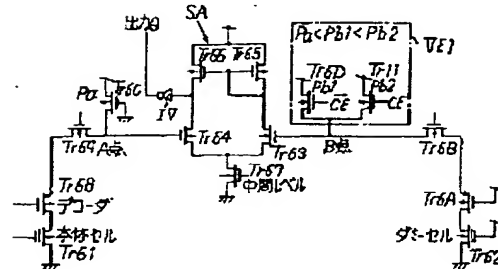
(54) **SEMICONDUCTOR MEMORY**

(57) Abstract:

**PURPOSE:** To read accurate memory content by absorbing a potential variation due to disturbance by sufficient writing amount or erasing amount.

**CONSTITUTION:** A variable potential setter VE1 is connected as pulling-up means of a point B. The setter VE1 has transistors Tr6D, Tr11, and the relationship of driving capacities of the Tr6D, the Tr11 is set so as to satisfy  $Pb1 < Pb2$ . Pull-up driving capacity of a dummy side is formed so as to be varied in two ways. One is the same driving capacity Pb1 as prior art, and the other is slightly stronger driving capacity Pb2 than that of the prior art. A normal mode, a write/verify mode can be switched by using the Tr6D, the Tr11 and a control signal CE.

COPYRIGHT: (C)1993,JPO&Japio



## BEST AVAILABLE COPY

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平5-282881

(43)公開日 平成5年(1993)10月29日

(51)Int.Cl. <sup>5</sup>	識別記号	庁内整理番号	F I	技術表示箇所
G 1 1 C 16/06				
H 0 1 L 27/115				
		6741-5L	G 1 1 C 17/ 00	3 0 9 B
		8728-4M	H 0 1 L 27/ 10	4 3 4

審査請求 未請求 請求項の数5(全 6 頁)

(21)出願番号 特願平4-77291

(22)出願日 平成4年(1992)3月31日

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(71)出願人 000158150

岩手東芝エレクトロニクス株式会社

岩手県北上市北工業団地6番6号

(72)発明者 加藤 忠 浩

岩手県北上市北工業団地6番6号 岩手東

芝エレクトロニクス株式会社内

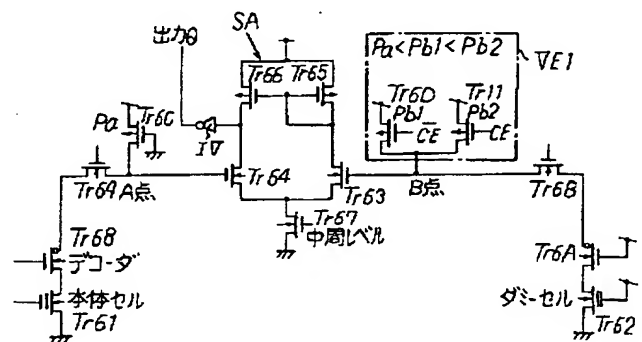
(74)代理人 弁理士 佐藤 一雄 (外3名)

(54)【発明の名称】 半導体記憶装置

(57)【要約】

【構成】 B点のプル・アップ手段として可変電位設定回路VE1が接続されている。この回路VE1は、トランジスタTr6D、Tr11からなり、Tr6D、Tr11の駆動能力の関係は $Pb1 < Pb2$ となるように設定され、ダミー側のプル・アップ駆動能力が二通りに可変できるように構成されている。この二通りの駆動能力は、一つは従来例と同じ駆動能力Pb1、もう一つは従来例の駆動能力よりも若干強い駆動能力Pb2である。Tr6D、Tr11、コントロール信号CEを用いて通常モード、書き込み/ベリファイモードで切替えられるよう設定される。

【効果】 十分な書き込み量ないしは消去量により外乱による電位変動を吸収し、正確な記憶内容の読出しが可能となる。



## 【特許請求の範囲】

【請求項1】 本体セルの記憶内容をその本体セル側入力部とダミーセル側入力部との電位差として検出するセンスアンプと、

前記本体セル側入力部及びダミーセル側入力部に設けられ、前記本体セルへの書込み・消去の少なくとも一方のモードと該本体セルからの読出しモードとで前記本体セル側入力部及びダミーセル側入力部間の電位差設定駆動能力を可変とした可変電位差設定回路とを備えている半導体記憶装置。

【請求項2】 可変電位差設定回路は、本体セル側入力部及びダミーセル側入力部のうち一方に接続された固定電位設定回路と、前記本体セル側入力部及びダミーセル側入力部のうち他方に接続された可変電位設定回路とから形成されることを特徴とする請求項1記載の半導体記憶装置。

【請求項3】 可変電位差設定回路は、本体セル側入力部に接続された第1の可変電位設定回路と、ダミーセル側入力部に接続された第2の可変電位設定回路とから形成されることを特徴とする請求項1記載の半導体記憶装置。

【請求項4】 可変電位設定回路は、読出しモードのときよりも書込みモードのときの方がダミーセル側入力部の電位設定駆動能力に対する本体セル側入力部の電位設定駆動能力差がより大きくなるように機能することを特徴とする請求項2及び請求項3のうちのいずれか1項記載の半導体記憶装置。

【請求項5】 可変電位設定回路は、読出しモードのときよりも消去モードのときの方がダミーセル側入力部の電位設定駆動能力に対する本体セル側入力部の電位設定駆動能力差がより小さくなるように動作することを特徴とする請求項2及び請求項3のうちのいずれか1項記載の半導体記憶装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は半導体記憶装置、特に不揮発性メモリの読出し方式に関するもので、特にEPROM(Electrical Programmable Read Only Memory)などに使用されるものである。

## 【0002】

【従来の技術】 近年、マイクロコンピュータの周辺記憶装置として、また内蔵の記憶装置としてEPROMやEEPROM(Electrically Erasable and Programmable Read Only Memory)の開発が盛んに行われている。この背景にはプログラムの制御の容易性からくる開発効率の向上や電源遮断時のデータ保持などを有しており、今後、益々開発が行われると予想される。これらEPROMなどの不揮発性メモリへのプログラミングは、主にPROMLライターやCPUコントロールによるオン・ボード(On

Board)の方式が用いられて、フローティングゲートに電子を注入することで書込みが行われ、書込んだデータが確かに書込まれたか書込んだ直後に今書込んだセルを読出し回路を通じて読出すことによって確認する(この読出しをベリファイと呼ぶ)。

【0003】 EPROMの動作原理については公知なので特に詳細な説明は割愛するが、書込み時のタイミングチャート、読出し回路の動作について多少説明する。

【0004】 図5に典型的なタイミングチャートを示す。高電位端子VPPを高電位レベルに設定することによって書込み/ベリファイモードに設定する。また、アドレスを与えてセルを選択し、書込みデータを供給する。このとき、データ端子は通常I/O(双方向端子)となっており、信号OEを“H”(論理「1」)にしてI/Oを入力としておく。データが定まった後、PGMを“L”(論理「0」)として書込み実施し、終了後、OEを“L”とし、データI/O端子が出力となり、データが出力され、書込んだデータと一致すれば、書込み終了となる。

【0005】 読出し回路には通常センスアンプが用いられる。それは高速性を要求されるためであり、低速の場合でも微小信号のセンス回路が必要である。

【0006】 図6に差動型のセンスアンプ一般的な回路例を示す。

【0007】 この図において、Tr61は本体セルを構成するフローティングゲート保有トランジスタ、Tr62はダミーセルを構成するフローティングゲート保有トランジスタ、SAはダミーセルの状態を基準とし本体セルの状態に応じて動作する差動型センスアンプである。このセンスアンプSAはトランジスタTr63～Tr67からなり、トランジスタTr63、Tr64は入力差動対を形成し、トランジスタTr65、Tr66はアクティブロードを形成し、トランジスタTr67は定電流源回路を形成している。

【0008】 本体セル・トランジスタTr61はデコーダ・トランジスタTr68と列選択トランジスタTr69とのソース・ドレインを直列に介してトランジスタTr64のゲートに接続されている。ダミーセル・トランジスタTr62はデコーダ・トランジスタTr68に対応するトランジスタTr6Aと列選択トランジスタTr69に対応するトランジスタTr6Bとのソース・ドレインを直列に介してトランジスタTr63のゲートに接続されている。

【0009】 トランジスタTr69のドレインとトランジスタTr64のゲートとの接続点にはプル・アップ・トランジスタTr6Cが接続され、トランジスタTr63のゲートとトランジスタTr6Bのドレインとの接続点にはプル・アップ・トランジスタTr6Dが接続されている。

【0010】 ここで、ダミーセル・トランジスタTr62は本体セル・トランジスタTr61とまったく同一のセルではあるが書込みは行わない。したがって、常にオン状

態にある。

【0011】ダミーセル・トランジスタTr62のドレインに接続されたトランジスタTr6Aはダミーセル側の回路がトランジスタTr68選択時の状態と同じ状態にするためのものである。

【0012】プル・アップトランジスタTr6C（駆動能力Pa）、Tr6D（駆動能力Pb）は本体側とダミー側でプル・アップ駆動能力Pa、Pbに差をつけ、ダミー側を少しだけ強くなるように設定する。このときのB点の電位Vbが読出し時の基準電位となる。

【0013】そして、まず、本体セル・トランジスタTr61に論理“1”のデータが書込まれていない状態のときには、本体セル・トランジスタTr61とダミーセル・トランジスタTr62の両方がオン状態となるが、上記駆動能力Pa、Pbの関係（ $P_a < P_b$ ）から電位Va、Vbの関係は $V_a < V_b$ となり、出力Qは“L”となる。

【0014】一方、本体セル・トランジスタTr61に論理“1”のデータが書込まれた状態であれば、その出力電位Vaは、本体セル・トランジスタTr61がオフ状態でトランジスタTr6Cによりプル・アップされた電位Va2、ダミー側の基準電位Vb2はダミーセル・トランジスタTr62がオン状態となっているため、電流が引かれ、 $V_a > V_b$ となり、出力Qは“H”となる。

【0015】ここで、不揮発性メモリに論理“1”のデータを書込む場合、上記ペリファイ動作を行いながら書込むが、書込み直後、読出した際、A点、B点の電位関係が上記より $V_{aw} < V_{bw}$ であれば書込まれておらず、 $V_{aw} > V_{bw}$ であれば書込まれたこととなる。しかしながら、書込まれたと判断された状態 $V_{aw} > V_{bw}$ であっても書込み量が不十分で $V_{aw} \gg V_{bw}$ でなければ次回読出した際、何等かの外乱で $V_{aw} < V_{bw}$ となり、書込み時とデータが異なってしまう。同様に消去の場合も消去直後、読出した際、何等かの外乱で $V_{aw} < V_{bw}$ となり、書込み時とデータが異なってしまう。同様に、消去の場合も消去直後読出した際、A点、B点の電位関係が上記より $V_{ae} < V_{be}$ であっても消去量が不十分で $V_{ae} \ll V_{be}$ でなければ次回読出した際、何等かの外乱で $V_{ae} > V_{be}$ となり、消去されていないと判断されてしまう。

【0016】

【発明が解決しようとする課題】このように従来のEPROMにあっては、外乱の影響で記憶内容の読出し動作において正確さが損なわれる場合があった。

【0017】本発明は以上のような問題点を鑑みてなされたもので、読出し動作の際に外乱が発生した場合でも記憶内容を正確に読出すことのできるEPROMを構成する半導体記憶装置を提供することにある。

【0018】

【課題を解決するための手段】本発明の半導体記憶装置は、本体セルの記憶内容をその本体セル側入力部とダミ

ーセル側入力部との電位差として検出するセンスアンプと、上記本体セル側入力部及びダミーセル側入力部に設けられ、上記本体セルへの書込み・消去の少なくとも一方のモードとこの本体セルからの読出しモードとで上記本体セル側入力部及びダミーセル側入力部間の電位差設定駆動能力を可変とした可変電位差設定回路とを備えている。

【0019】可変電位差設定回路は、本体セル側入力部及びダミーセル側入力部のうち一方に接続された固定電位設定回路と、上記本体セル側入力部及びダミーセル側入力部のうち他方に接続された可変電位設定回路とから形成される構成とすることができる。

【0020】また、可変電位差設定回路は、本体セル側入力部に接続された第1の可変電位設定回路と、ダミーセル側入力部に接続された第2の可変電位設定回路とから形成される構成とすることができる。

【0021】可変電位設定回路は、読出しモードのときよりも書込みモードのときの方がダミーセル側入力部の電位設定駆動能力に対する本体セル側入力部の電位設定駆動能力差がより大きくなるように機能するように構成することができる。

【0022】また、可変電位設定回路は、読出しモードのときよりも消去モードのときの方がダミーセル側入力部の電位設定駆動能力に対する本体セル側入力部の電位設定駆動能力差がより小さくなるように動作するように構成することができる。

【0023】

【作用】本発明によれば、本体セルへの書込み・消去の少なくとも一方のモードとこの本体セルからの読出しモードとで上記本体セル側入力部及びダミーセル側入力部間の電位差設定駆動能力を可変としたため、読出しモードと書込み・消去モードとでセンスアンプの本体セル側、ダミーセル側入力部間の相対的な電位差設定駆動能力差を変化させることにより、十分な書込み量ないしは消去量を実現することができ、これにより外乱による電位変動を吸収し、正確な記憶内容の読出しが可能となる。

【0024】

【実施例】以下に本発明の実施例について図面を参照しつつ説明する。なお、本発明の各実施例の回路は、図6に示すものと同じ構成要素を有しているため、その同一構成要素については図6と同一符号を付してその説明は省略し、異なる部分についてのみ説明することとする。

【0025】図1は本発明の第1実施例に係る半導体記憶装置の回路構成を示すものである。

【0026】図1において、ここではB点のプル・アップ手段として本発明の特徴部分を構成する可変電位設定回路VE1が接続されている。この可変電位設定回路VE1は、図6に示すトランジスタTr6D（駆動能力Pb1）と、駆動能力の異なるトランジスタTr11（駆動能力Pb2）とから構成されている。両トランジスタTr6

D, Tr11 の駆動能力の関係はPb1よりもPb2が若干強くなるように、つまり $Pb1 < Pb2$ となるように設定されている。これにより、ダミー側のプル・アップ駆動能力が二通りに可変できるように構成されている。

【0027】この二通りの駆動能力は、一つは従来例と同じ駆動能力Pb1、もう一つは従来例の駆動能力よりも若干強い駆動能力Pb2である。ダミー側プル・アップトランジスタTr6D, Tr11、また本体セル側のプル・アップトランジスタTr6Cは図5のタイミングチャートで説明したコントロール信号CEを用いて通常モード、書込み/ベリファイモードで切替えられるよう設定される。

【0028】まず、通常モードではTr6Dがオン状態、トランジスタTr11がオフ状態となり、図6に示すものと同じ動作をする。一方、書込み/ベリファイモードでは、トランジスタTr6Dがオフ状態、トランジスタTr11がオン状態となる。

【0029】この回路を用いてEPROMへの書込み/ベリファイを行った場合、A点、B点の電位Va, Vb電位関係が $Va > Vb$ なる関係で出力Q点の“H”にな

って書込み終了となる。

【0030】その後、通常モードで読出す際は、コントロール信号CEによって基準電位はトランジスタTr6Cによって設定されているので、電位Va, Vbpb1の関係は $Va > Vbpb1$ であるが、書込みを行う際、駆動能力関係が $Pa < Pb1 < Pb2$ なるトランジスタTr11を用いて書込みを実施しているため、電位Va, Vbの関係は $Va > Vbpb2 > Vbpb1$ となり、従来例で実施した場合の $Va > Vb$ より少なくとも $Vbpb2 - Vbpb1$ だけA点の電位がB点よりも高く十分な書込みが行われる。よって、読出し時において外乱を受けても、その書込み電位の高い分だけ外乱の影響を受けることなく正確に記憶内容を読出すことができることとなる。

【0031】また、このプル・アップトランジスタの追加によるパターン面積の増加を招くこともなくメリットのみが期待できる。

【0032】図2は本発明の第2実施例に係る半導体記憶装置の回路構成を示すものである。

【0033】この図において、VE2は本実施例の可変電位設定回路であり、この回路VE2は、図6に示すトランジスタTr6D（駆動能力Pb1）と、その駆動能力がトランジスタTr6Dと異なるトランジスタTr21（駆動能力Pb3）とから構成されている。駆動能力Pb1, Pb3の関係は $Pb3 < Pb1$ とされている。

【0034】EEPROMにおいて、A点、B点の電位関係は消去/ベリファイモードでは $Va < Vbpb3$ 、通常モードでは $Va < Vbpb1$ となるようにトランジスタTr6D, Tr21をオン・オフ制御する。

【0035】これにより、消去する際、駆動能力関係が $Pa < Pb3 < Pb1$ なるPb3を用いて消去しているため、

VaとVbpb1との電位関係は $Va < Vbpb3 < Vbpb1$ となり、従来例で実施した場合の $Va < Vbpb1$ よりも少なくとも $Vbpb1 - Vbpb3$ だけA点の電位がB点よりも低く十分な消去が行われる。

【0036】図3は本発明の第3実施例に係る半導体記憶装置の回路構成を示すものである。

【0037】この図において、VE3は本実施例の可変電位設定回路であり、この回路VE3は上記第1、第2実施例の回路VE1, VE2を組合わせたものに相当し、トランジスタTr6D, Tr11, Tr21を有している。

【0038】よって、これらトランジスタTr6D, Tr11, Tr21の駆動能力の関係は、 $Pa < Pb3 < Pb1 < Pb2$ となるため、書込み、消去共に十分に行われることとなる。

【0039】図4は本発明の第4実施例に係る半導体記憶装置の回路構成を示すものである。

【0040】本実施例の特徴は、ダミー側、本体セル側共に駆動能力が可変可能に構成した点にあり、VE41は本体側に設けられた可変電位設定回路、VE42はダミー側に設けられた可変電位設定回路である。

【0041】これらの可変電位設定回路VE41, VE42は、読出しモードのときよりも書込みモードのときの方がダミーセル側入力部の電位設定駆動能力に対する本体セル側入力部の電位設定駆動能力差がより大きくなるように動作するとともに、読出しモードのときよりも消去モードのときの方がダミーセル側入力部の電位設定駆動能力に対する本体セル側入力部の電位設定駆動能力差がより小さくなるように動作するように構成される。

【0042】よって、読出しモードを基準として考えると、書込みモードのときには、可変電位設定回路VE41はプル・アップ駆動能力を下げ、可変電位設定回路VE42はプル・アップ駆動能力を上げる。

【0043】また、同じく読出しモードを基準として考えると、消去モードのときには、可変電位設定回路VE41はプル・アップ駆動能力を上げ、可変電位設定回路VE42はプル・アップ駆動能力を下げるように動作する。

【0044】なお、上記実施例はいずれも差動型センスアンプの例を示しているが本発明はそれ以外のセンスアンプにも適用できる。

【0045】

【発明の効果】以上説明したように本発明によれば、本体セルへの書込み・消去の少なくとも一方のモードとこの本体セルからの読出しモードとで上記本体セル側入力部及びダミーセル側入力部間の電位差設定駆動能力を可変としたため、読出しモードと書込み・消去モードとでセンスアンプの本体セル側、ダミーセル側入力部間の相対的な電位設定駆動能力差を変化させることができ、十分な書込み量ないしは消去量を実現することができ、これにより外乱による電位変動を吸収し、正確な記憶内容の読出しが可能となる。

【0046】EPROM等の不揮発性メモリはプログラム開発の容易性や電源遮断時のデータ保持等などの市場ニーズで益々開発が盛んになることが予想されるが、従来例ではEPROMセルに十分な書込みがされていないがための誤動作、経年変化によるデータ変化が発生する。しかしながら、本発明を用いることにより、従来例に対し駆動能力の異なったプル・アップトランジスタのみの追加でこれら追加したプル・アップトランジスタを書込みモード、通常モード、消去モードで使い分けることにより、従来例に比較し、十分な書込み、消去が可能となり、十分な書込みがされていないがための誤動作、経年変化によるデータ変化が防止できる。

【図面の簡単な説明】

【図1】本発明の第1実施例に係るEPROMの回路図。

【図2】本発明の第2実施例に係るEPROMの回路図。

【図3】本発明の第3実施例に係るEPROMの回路図。

【図4】本発明の第4実施例に係るEPROMの回路図。

【図5】EPROMの基本動作を図解するタイムチャート。

【図6】従来のEPROMの回路図。

【符号の説明】

SA センスアンプ

A 本体セル側入力部

B ダミーセル側入力部

Q 読出し出力

VE1 ~ VE42 可変電位設定回路

Tr6C 本体セル側プル・アップ・トランジスタ

Tr6D, Tr11, Tr21 ダミーセル側プル・アップ・トランジスタ

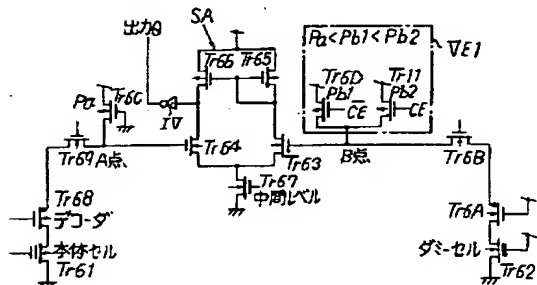
Pa 本体セル側プル・アップ・トランジスタTr6Cの駆動能力

Pb1 ダミーセル側プル・アップ・トランジスタTr6Dの駆動能力

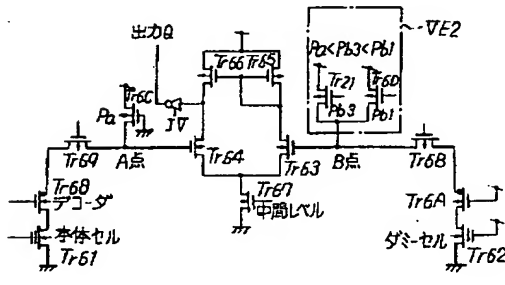
Pb2 ダミーセル側プル・アップ・トランジスタTr11の駆動能力

Pb3 ダミーセル側プル・アップ・トランジスタTr21の駆動能力

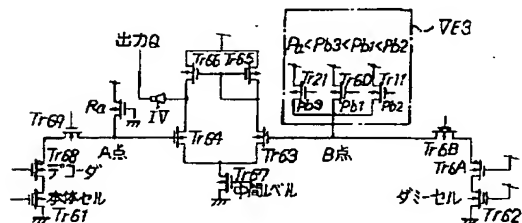
【図1】



【図2】



【図3】



【図5】

